

**RESULT LIST**

3 results found in the Worldwide database for:  
**JP1068729** (priority or application number or publication number)  
 (Results are sorted by date of upload in database)

**1 No English title available**

Inventor:

EC:

Publication info: **JP1068729U** - 1989-05-08

Applicant:

IPC: **A01D44/02; A01G33/02; A01D44/00** (+3)

**2 MANUFACTURE OF THIN FILM TRANSISTOR**

Inventor: WAKAI HARUO; YAMAMURA NOBUYUKI

EC: **G02F1/1368**

Publication info: **JP1068729** - 1989-03-14

Applicant: CASIO COMPUTER CO LTD

IPC: **G02F1/1368; G02F1/13**; (IPC1-7): G02F1/133 (+2)

**3 No English title available**

Inventor:

EC:

Publication info: **JP49086777** - 1974-08-20

Applicant:

IPC:

---

Data supplied from the **esp@cenet** database - Worldwide

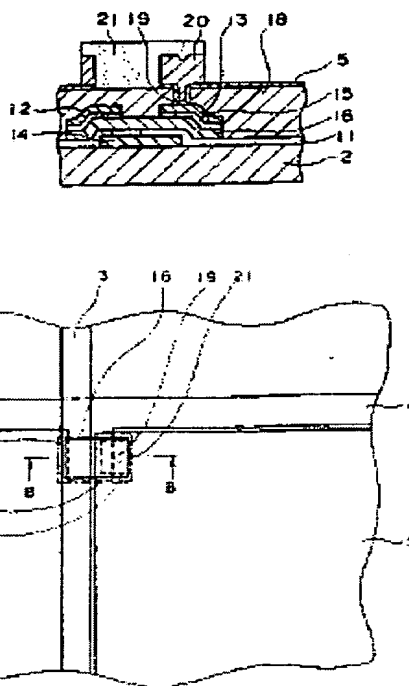
# MANUFACTURE OF THIN FILM TRANSISTOR

Patent number: JP1068729  
 Publication date: 1989-03-14  
 Inventor: WAKAI HARUO; YAMAMURA NOBUYUKI  
 Applicant: CASIO COMPUTER CO LTD  
 Classification:  
 - international: G02F1/1368; G02F1/13; (IPC1-7): G02F1/133; H01L27/12; H01L29/78  
 - european: G02F1/1368  
 Application number: JP19870225822 19870909  
 Priority number(s): JP19870225822 19870909

Report a data error here

## Abstract of JP1068729

**PURPOSE:**To connect a transparent picture element electrode and a source electrode securely without increasing the thickness of the transparent picture element electrode by connecting the transparent picture element electrode and source electrode through the two-layered structure of the transparent picture element electrode and metallic layer formed in an nearby a contact hole.  
**CONSTITUTION:**A transparent insulating substrate 2 where a transistor (TR) area is formed is covered with a transparent insulating layer 18 and the transparent picture element electrode 5 and metallic layer 20 is formed in the two-layered structure in the contact hole 19 formed in the substrate from its top surface to the source electrode 13. Further, a light shield film 21 formed in the upper area of the TR area is used as a mask to remove the metallic layer 20 selectively and then the transparent picture element electrode 5 and source electrode 13 are connected mutually through the two-layered structure. Consequently, effective display area is widened and the transparent picture element electrode 5 and source electrode 13 are securely connected without increasing the thickness of the transparent picture element electrode 5.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭64-68729

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989) 3月14日

G 02 F 1/133  
H 01 L 27/12  
29/78

3 2 7

7370-2H

3 1 1

A-7514-5F  
A-7925-5F

審査請求 未請求 発明の数 1 (全 1 頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 昭62-225822

⑰ 出 願 昭62(1987) 9月9日

⑱ 発 明 者 若 井 晴 夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会社  
社八王子研究所内

⑲ 発 明 者 山 村 信 幸 東京都八王子市石川町2951番地の5 カシオ計算機株式会社  
社八王子研究所内

⑳ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

## 明 細 書

### 1. 発明の名称

薄膜トランジスタの製造方法

### 2. 特許請求の範囲

透明絶縁基板上に、少なくともゲート電極、ゲート絶縁層、半導体層、ドレイン電極及びソース電極よりなるトランジスタ領域を形成する工程と、

前記透明絶縁基板上に前記トランジスタ領域を覆って透明絶縁層を形成する工程と、

該透明絶縁層に、その表面から前記ソース電極まで通ずるコンタクトホールを形成する工程と、

該コンタクトホール内及び前記透明絶縁層上に透明画素電極を形成する工程と、

前記コンタクトホール内を含む前記透明画素電極上に金属層を形成する工程と、

前記トランジスタ領域の上方を覆う遮光膜を形成する工程と、

該遮光膜をマスクとして前記透明画素電極上の金属層を選択的に除去する工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

### 3. 発明の詳細な説明

(発明の技術分野)

本発明は、アクティブマトリクスディスプレイ等にスイッチング素子として使用される薄膜トランジスタ (Thin Film Transistor, 以下 T F T と称す) の製造方法に関する。

(従来の技術)

第3図は T V 等の画像表示装置として利用されているアクティブマトリクスディスプレイ1の概念図である。アクティブマトリクスディスプレイ1は、その一方の側にマトリクスパネル1aを備えている。このマトリクスパネル1aは、ガラスの如き透明な絶縁基板2上にマトリクス状に配列された各画素毎に設けられた透明画素電極5と、これら透明画素電極5間を交差するように走っている信号線 (ドレイン線) 3及び走査線 (ゲート線) 4と、各透明画素電極5毎に配設形成された T F T 6 とからなっている。また、マトリクスパネル1aと対向する側には、一面に透明電極8の形成されたガラス基板9を備え、マトリクスパネ

ル1aと透明電極8との間に液晶7を封入することによってアクティブマトリクスディスプレイ1が構成されている。

第4図は、第3図に示したマトリクスパネル1a内の任意のTFT6及びその近傍における電極及び配線の配置状態を示した平面図である。第4図に示すように、TFT6の形成領域において、走査線4を信号線3との交差部分でわずかに突出させ、この突出部をTFT6のゲート電極14とすると共に、このゲート電極14上に半導体層16を介して位置する信号線3の一部をTFT6のドレイン電極12とし、またゲート電極14上の半導体層16上から透明画素電極5上にかけて電極を形成し、これをTFT6のソース電極13としている。

第5図は、第4図に示したTFT6及びその近傍のA-A拡大断面図である。第5図に示すように、絶縁基板2上にゲート電極14が形成され、このゲート電極14上及び絶縁基板2上を覆って酸化シリコン若しくは窒化シリコン等の絶縁層

(ゲート絶縁膜) 11が形成される。ゲート電極14の上方及びその近辺には、絶縁層11を介してアモルファスシリコン(a-Si)等からなる半導体層16が形成される。更に絶縁層11上には、半導体層16と近接した位置に、ITO (Indium (In) - Tin (Sn) - Oxide) 等からなる透明画素電極5が形成される。半導体層16上であって、ゲート電極14の両端部の上方には、ハイドロブのコンタクト層15を介してドレイン電極12とソース電極13が形成される。この際、ソース電極13の一部が透明画素電極5に接続される。このように構成されたTFT6は、ゲート電極14とドレイン及びソース電極12、13とが半導体層16に関して互いに異なる平面上にあるもので、逆スタガ型と称されている。

(従来技術の問題点)

第3図～第5図で示したTFT6では、上述したように、透明画素電極5とソース電極13及びドレイン電極12とが同一平面上に配設されている。そのため、特に第4図に示した電極等の配置

状態から明らかな様に、ドレイン電極12から延びた信号線3と透明画素電極5との間で短絡を生じ易いという問題がある。

そこで、このような短絡を防止するために、透明画素電極5と信号線3間には、これらを形成する場合の加工精度及びアライメント精度から決定される一定の間隔Lを設けるようにしている。この間隔Lは、通常、例えば20 $\mu$ m以上という大きな値である。ところが、このような広い間隔Lを設ければ、上記の短絡は防止されるが、その反面、透明画素電極5の面積が小さくなり、すなわち、有効表示面積が小さくなってしまいう問題点が生じる。例えば、マトリクスパネル1a上の1つの画素に割当てられた全面積に対する透明画素電極5の面積の割合である開口率は、上記間隔Lを最小限の20 $\mu$ mとした場合であっても、50%程度と非常に小さくなってしまふ。

この様な問題を解決するため、本発明者は、ソース及びドレイン電極上を透明絶縁層で覆い、その透明絶縁層上に透明画素電極を形成し、これと

同時に、透明画素電極とソース電極とをコンタクトホールを介して接続する構成のTFTを開発した。

ところが、透明画素電極及びこれとソース電極とのコンタクト領域がスパッタリングによって同時工程で形成されることから、以下のような問題点を生じることがわかった。すなわち、前述した短絡を確実に防止する必要により透明絶縁層に十分な厚みを持たせているが、これに伴い上記コンタクトホールの深さも2000～3000Å程度と深くなる。そのため、従来の厚さ(500Å程度)の透明画素電極では上記コンタクト領域が薄くなり、特にコンタクトホール入口の角部で切断が生じ易くなる。そこで、透明画素電極とソース電極とを確実に接続させるだけの厚みを上記コンタクト領域に持たせることも考えられるが、このようにするためには、これと同時に工程で形成される透明画素電極の厚みをも2000Å以上に厚くしなければならない。しかし、このように透明絶縁層の厚みが増加すると、その加工精度が低下すると共に、光透過

率の低下という問題も生じてくる。

〔発明の目的〕

本発明は、上記従来の問題点に鑑み、透明画素電極とドレイン電極（信号線）間の短絡を無くし、同時に、有効表示面積を極めて広くとることができ、しかも透明画素電極の厚みを増加させることなしに透明画素電極とソース電極間を確実に接続できる薄膜トランジスタ（TFT）の製造方法を提供することを目的とする。

〔発明の要点〕

本発明は、上述の目的を達成するために、トランジスタ領域の形成された透明絶縁基板上を透明絶縁層で覆い、その上面及びここからソース電極まで形成されたコンタクトホール内に透明画素電極と金属層を2層構造に形成し、更にトランジスタ領域の上方領域に形成された遮光膜をマスクとして上記金属層を選択的に除去することより、透明画素電極とソース電極とを上記2層構造を介して接続したことを要点とする。

〔実施例〕

その後、第1図(a)に示すように、ゲート電極14及び走査線（ゲート線）4を覆って、絶縁基板2の一面に絶縁層（ゲート絶縁膜）11を、プラズマCVD法等により例えば3000Å厚に形成する。絶縁層11としては窒化シリコン（SiN）又は酸化シリコン（SiO<sub>2</sub>）等を使用できる。続いて、第1図(a)に示すように、絶縁層11上にアモルファスシリコン（a-i-Si）等からなる半導体層16と高濃度のアモルファスシリコン（a-n<sup>+</sup>-Si）等からなるコンタクト層15をプラズマCVD法等によりそれぞれ例えば1000Å、500Å厚に積層形成し、ゲート電極14の上方及びその近辺だけを覆うようにフォトリソグラフィ法等を用いてパターニングする。半導体層16及びコンタクト層15としては、上述したアモルファスシリコン以外にも、アモルファスの炭化シリコン（SiC）、テルル、セレン、ゲルマニウム、硫化カドミウム（CdS）、カドミウムセレン（CdSe）等を用いることができる。

次に、コンタクト層15及び絶縁層11を覆う

以下、本発明の実施例について、図面を参照しながら説明する。

第1図(a)～(d)は本発明の一実施例を示す製造工程図であり、第2図は本実施例によるTFTをアクティブマトリクスディスプレイ（第3図参照）に採用した場合の同TFT及びその近傍における電極及び配線の配置状態を示す平面図である。すなわち、第2図のB-B拡大断面図が第1図(d)に相当する。

まず、第1図(a)に示すように、表面の洗浄された透明な絶縁基板2上に、スパッタリング或いは蒸着等で例えば1000Å厚程度の金属膜を被着し、この金属膜をフォトリソグラフィ法等でパターニングすることによって、ゲート電極14及び走査線（ゲート線、第2図及び第3図参照）4を形成する。絶縁基板2としてはガラス、石英、サファイア等を用いることができ、またゲート電極14及び走査線4としてはクロム、チタン、タングステン、タンタル、銅等の金属を用いることができる。

ように蒸着もしくはスパッタリング等で例えば1000Å厚程度の金属膜を形成し、この金属膜及びコンタクト層15をフォトリソグラフィ法等でパターニングすることにより、第1図(a)に示すようにゲート電極14の両端部の上方にドレイン電極12及びソース電極13を形成する。この際、ドレイン電極12から延びた信号線（ドレイン線、第2図及び第3図参照）3をも同時に形成する。ドレイン電極12、ソース電極13及び信号線3としては、クロム、チタン、タングステン、タンタル、銅等の金属を用いることができる。

以上の工程により、絶縁基板2上にトランジスタ領域17が形成される。次に、上記トランジスタ領域17、走査線（ゲート線）4及び信号線（ドレイン線）3の形成された絶縁層11上を覆って、第1図(b)に示す様に、表面の平坦化された透明絶縁層18をスピンコート法等により形成する。透明絶縁層18としてはポリイミド、アクリル、あるいはシラノール系化合物の塗布、焼成によって形成された絶縁膜（SOG膜）等の透明な

絶縁膜を使用でき、その上面からソース及びドレイン電極13、12までの厚さが例えば3000Å程度となるようにする。続いて、通常のエッチングもしくはプラズマエッチング等を利用して、透明絶縁層18の上面からソース電極12にかけてコンタクトホール19を形成する。

次に、透明絶縁層18上及びコンタクトホール19内に透明電極材料と金属材料とを順次蒸着もしくはスパッタリングすることにより2層構造を形成し、これをパターニングすることによって、第1図(ハ)に示すように各画素領域毎に透明画素電極5及び金属層20を形成する。この際、透明画素電極5は例えば500～1000Å程度の厚さとし、一方、金属層20の厚さは例えばコンタクトホール19の深さの約2倍である6000Å程度とする。透明電極材料としては酸化錫( $\text{SnO}_2$ )、酸化インジウム( $\text{InO}_2$ )、ITO等を使用でき、金属材料としてはクロム、銅、アルミニウム等を使用できる。

続いて、第1図(ハ)に示すように、トランジスタ

領域の上方のみを覆うように、不透明で且つ絶縁性の樹脂、又は金属酸化物等からなる遮光膜21を形成する。この遮光膜21は、トランジスタ領域上に照射される照明光によって半導体層16のオフ抵抗が低下するのを防止するためのものである。そして最後に、遮光膜21をマスクとして用いることにより、金属層20の遮光膜21によって覆われていない領域を第1図(ハ)に示すようにエッチングで除去する。すなわち、第2図にも明らかなように、透明性を必要とする透明画素電極5上の金属層を除去し、トランジスタ領域の上方領域(コンタクトホール19内及びその入口近傍の領域を含む)にのみ遮光膜21と共に金属層20を残存させる。

以上のようにして作成されたTFTでは、第1図(ハ)に明らかなように、ドレイン電極12(及びこれに接続されて延びている信号線3)と透明画素電極5とが透明絶縁層18を介して互いに異なる平面上に形成されている。このことから、第5図に示したように各電極を同一平面上に形成し

た従来のTFTの構造と比較して、上記信号線3と透明画素電極5間の距離(上下方向の距離)を大きくすることができ、よってその間の短絡を大幅に減少させることができる。

また、上述したように透明画素電極5が透明絶縁層18を介して他の電極及び配線とは別平面上にあって短絡を防止できることから、第2図に明らかなように、信号線(ドレイン線)3及び走査線(ゲート線)4に囲まれた全ての領域に透明画素電極5を配設することができ、すなわち第4図に示した間隔しをゼロとすることができる。そればかりでなく、平面的に視て、透明画素電極5を信号線3及び走査線4上に重ねるように配設することもできる。このようにすることにより、不透明領域(TFT領域及び配線領域)を除くすべての領域を有効表示エリアとすることができるので、有効表示面積はとりうる最大の値となる。本実施例によれば、開口率70%以上(従来は50%以下)を実現できる。

しかも本実施例では、コンタクトホール19内

及びその入口付近に薄い透明画素電極5と厚い金属層20との2層構造を形成し、この2層構造を介して、透明絶縁層18上の透明画素電極5とソース電極13とを接続している。實際上、上記厚い金属層20の被着によってコンタクトホール19が埋められることになるから、上記の接続は確実になる。そのため、例えばコンタクトホール19の入口の角部で透明画素電極5の切断が生じている場合であっても、この部分は電気的には金属層20を介して良好な接続状態を保つことができ、よってソース電極13と透明画素電極5とは確実に接続される。このことから、透明画素電極5を例えば500Å程度に薄く形成でき、従って、透明画素電極5を厚くすることによって生じる前述した問題(加工精度の低下及び光透過率の低下)が起こることはない。

また、金属層20をパターニングする際のマスクとして通常はフォトリソ等を用いるが、本実施例では遮光膜21を上記マスクとして兼用しているため、マスクの形成工程が1回分減少し、

よって製造工程が非常に簡単になる。

更に、透明絶縁層18の形成工程後は高温を必要とする工程が存在せず、透明絶縁層18としては高々スパッタリングの温度(150℃程度)に耐えうるものであればよいので、上述したポリイミドやアクリル等のような耐熱性の低い材料も使用できる。

(発明の効果)

以上説明したように、本発明によれば、ドレイン電極と透明画素電極とを透明絶縁層を介して互いに別平面に形成することにより、透明画素電極とドレイン電極(信号線)との短絡をなくすることができ、しかも透明画素電極の面積を拡げて有効表示面積を著しく大きくとることができる。しかも、コンタクトホール内及びその近傍には透明画素電極と金属層との2層構造を形成し、この2層構造を介して透明画素電極とソース電極とを接続したことにより、透明画素電極の厚みを増加させることなしに上記の接続を確実に行うことができる。更に、金属層のパターニングの際のマスク

として遮光膜を兼用したことにより、マスクの形成回数を減少させて、製造工程の簡略化を図ることもできる。

4. 図面の簡単な説明

第1図(a)~(d)は本発明の一実施例を示す製造工程図、

第2図は第1図(c)に示したTFT及びその近傍における電極及び配線の配置状態を示す平面図、

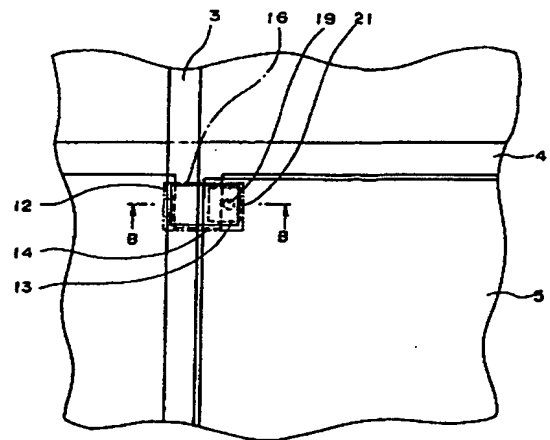
第3図は従来のアクティブマトリクスディスプレイの概念図、

第4図は第3図のマトリクスパネル1a内の任意のTFT及びその近傍における電極及び配線の配置状態を示す平面図、

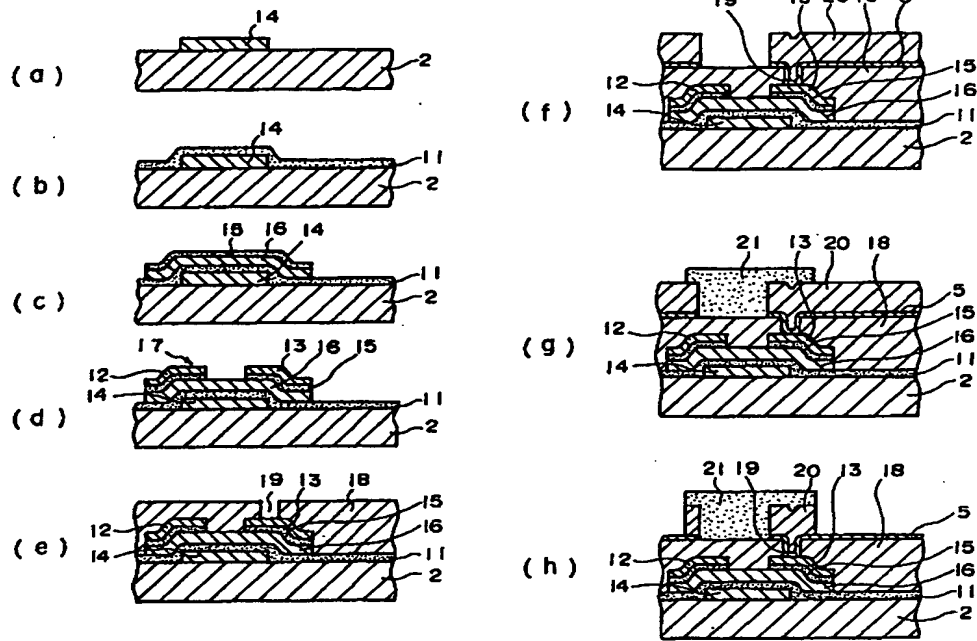
第5図は第4図に示したTFT及びその近傍のA-A拡大断面図である。

- 2・・・絶縁基板、
- 3・・・信号線(ドレイン線)、
- 4・・・走査線(ゲート線)、
- 5・・・透明画素電極、
- 11・・・絶縁層(ゲート絶縁膜)、

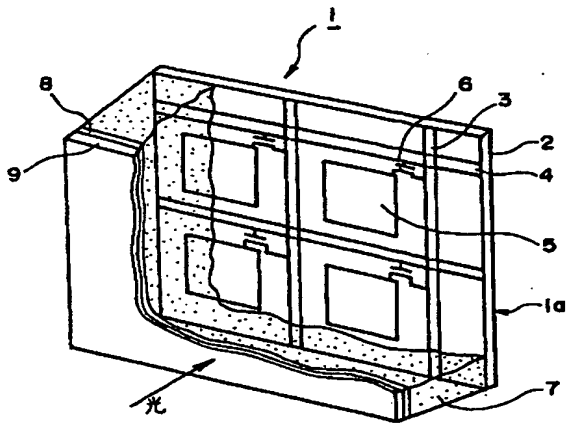
- 12・・・ドレイン電極、
- 13・・・ソース電極、
- 14・・・ゲート電極、
- 15・・・コンタクト層、
- 16・・・半導体層、
- 17・・・トランジスタ領域、
- 18・・・透明絶縁層、
- 19・・・コンタクトホール、
- 20・・・金属層、
- 21・・・遮光膜。



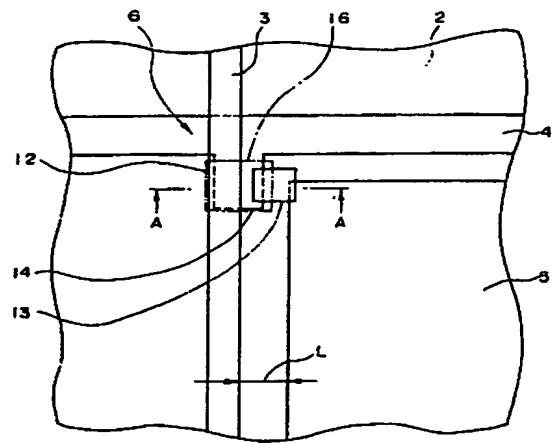
第2図



第 1 図

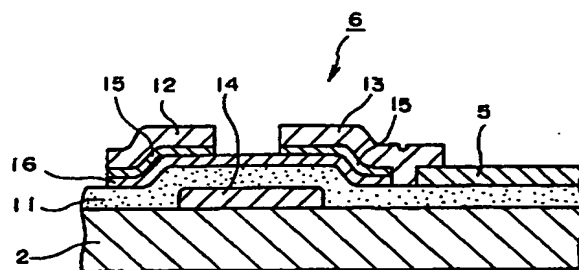


第 3 図



第 4 図





第 5 図